

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat  
(c) 2003 EPO. All rts. reserv.

11631676

Basic Patent (No,Kind,Date): JP 6037314 A2 19940210 <No. of Patents: 002>

THIN-FILM TRANSISTOR AND MANUFACTURE THEREOF (English)

Patent Assignee: SHARP KK

Author (Inventor): TARUI KEIJI; MORITA TATSUO; TSUCHIMOTO SHUHEI

IPC: \*H01L-029/784;

CA Abstract No: 121(12)146744J

Derwent WPI Acc No: C 94-087401

JAPIO Reference No: 180255E000028

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 6037314	A2	19940210	JP 92189334	A	19920716	(BASIC)
JP 3171673	B2	20010528	JP 92189334	A	19920716	

Priority Data (No,Kind,Date):

JP 92189334 A 19920716

Patent Abstracts of Japan

PUBLICATION NUMBER : 06037314  
PUBLICATION DATE : 10-02-94

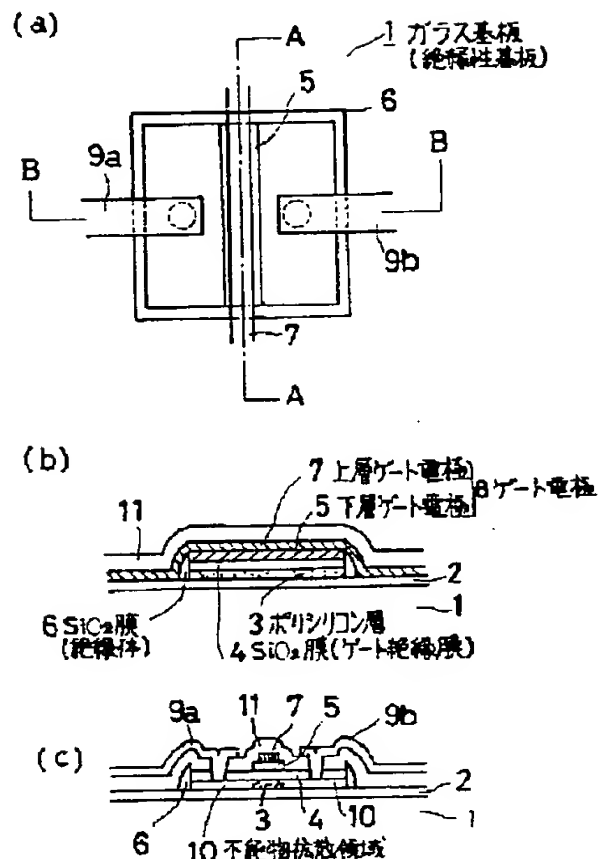
APPLICATION DATE : 16-07-92  
APPLICATION NUMBER : 04189334

APPLICANT : SHARP CORP;

INVENTOR : TSUCHIMOTO SHUHEI;

INT.CL. : H01L 29/784

TITLE : THIN-FILM TRANSISTOR AND  
MANUFACTURE THEREOF



ABSTRACT : PURPOSE: To facilitate the formation of a gate overlapping LDD by forming a gate electrode in two-layer structure of an upper layer and a lower layer and performing the ion implantation of impurities with both electrodes being used for a mask without equalling the width of both electrodes.

CONSTITUTION: A gate electrode 5 of a lower layer is worked for a predetermined shape with a reactive ion etcher. Then, the width of an electrode for the gate electrode 5 of a lower layer is made to be 5 $\mu$ m. After that, a polysilicon film to act as a gate electrode 7 of an upper layer is formed on the whole surface of a glass substrate 1 including the electrode 5 of a lower layer. And then the width of an electrode for the gate electrode 7 of an upper layer is so worked as to become 3 $\mu$ m with the center line of the electrode width of the gate electrode 5 of a lower layer being aligned with that of the gate electrode 7 of an upper layer. Next, P-type ion implantation is so performed as to form a high concentration region in a gate electrode 6 and at the same time to form an impurity region 10 having an LDD structure in the polysilicon film. Since the gate electrode width of an upper and a lower layer is not the same, a gate overlapping LDD structure may be easily formed with once implantation of impurity ions being performed by using the gate electrode of an upper and a lower layer for a mask.

COPYRIGHT: (C) JPO

(51)Int.Cl.<sup>5</sup>

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/784

9056-4M

H 0 1 L 29/ 78

3 1 1 G

審査請求 未請求 請求項の数2(全 8 頁)

(21)出願番号

特願平4-189334

(22)出願日

平成4年(1992)7月16日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 垂井 敬次

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 森田 達夫

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

(72)発明者 土本 修平

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

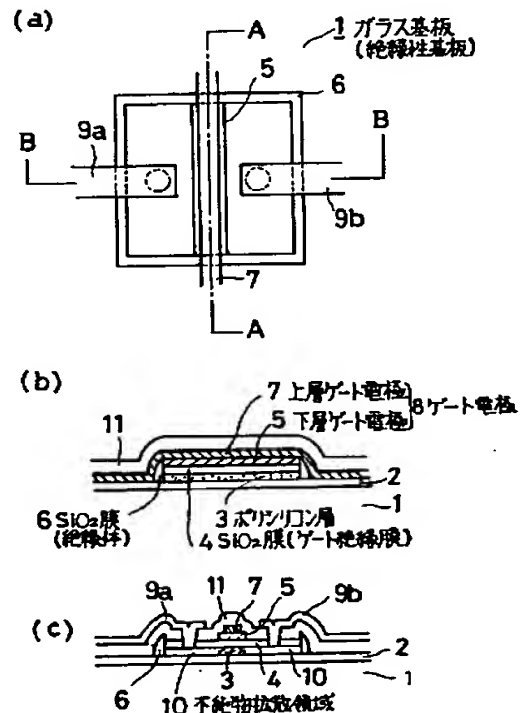
(74)代理人 弁理士 野河 信太郎

## (54)【発明の名称】 薄膜トランジスタ及びその製造方法

## (57)【要約】

【構成】 絶縁性基板1上にポリシリコン層3、ゲート絶縁膜4及びゲート電極8が順次形成された薄膜トランジスタであって、ゲート電極8が上層ゲート電極7及び下層ゲート電極5の2層構造からなり、かつ上層ゲート電極7の電極幅と下層ゲート電極5の電極幅とが同一幅でない薄膜トランジスタ。

【効果】 上層及び下層ゲート電極7、5をマスクに不純物イオンを注入することで、ゲートオーバーラップLDD構造を容易に形成することができ、イオン電流の駆動能力を損なうことなく、オフ電流の低減化を実現することができる。また、ポリシリコン層3、ゲート絶縁膜4及び下層ゲート電極5を順次連続して成膜するので、ポリシリコン層3とゲート絶縁膜4との界面を常に安定に良好な状態で、薄膜トランジスタを製造することができ、高性能なトランジスタ特性を安定して得ることができる。



## 【特許請求の範囲】

【請求項1】 絶縁性基板上にトランジスタの活性層となるポリシリコン層、ゲート絶縁膜及びゲート電極が順次形成された薄膜トランジスタであって、前記ゲート電極が上層ゲート電極及び下層ゲート電極の2層構造からなり、かつ前記上層ゲート電極の電極幅と前記下層ゲート電極の電極幅とが同一幅でないことを特徴とする薄膜トランジスタ。

【請求項2】 (i) 絶縁性基板上にポリシリコン層、ゲート絶縁膜及び下層ゲート電極を順次連続して成膜して積層膜を形成する工程、

(ii) 前記積層膜を島状パターンに加工した後、前記島状パターンの側壁に絶縁体を形成する工程、

(iii) 前記下層ゲート電極のみを所定の形状に加工し、さらに、前記下層ゲート電極上に上層ゲート電極を成膜する工程、

(iv) 前記上層ゲート電極を所定の形状に加工する工程、

(v) 前記下層ゲート電極及び前記上層ゲート電極をマスクにして不純物イオンを前記ポリシリコン層に注入して、不純物拡散領域を形成する工程、

を含む請求項1記載の薄膜トランジスタの製造方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 この発明は薄膜トランジスタ及びその製造方法に関するものであり、特に液晶ディスプレイ等の絶縁性基板上に作製される薄膜トランジスタ及びその製造方法に関するものである。

## 【0002】

【従来の技術】 近年、液晶ディスプレイの性能向上はめざましく、特に、絵素毎にダイオードや薄膜トランジスタ等のスイッチング機能をもたせたアクティブマトリクス型液晶ディスプレイは画質の向上、画面サイズの大型化に大きく貢献している。絵素毎に設けた薄膜トランジスタは絶縁性の基板上に、トランジスタの活性層として非晶質シリコンを用いたものが多く、大面積化が可能であり、プロセス温度が低温（～350℃）であるといった長所を有している。

【0003】 また、ポリシリコンを活性層とした薄膜トランジスタも一部に商品化されており、その高移動度特性を利用して、絵素毎のスイッチングのみならず駆動回路をも構成しており、駆動回路一体型液晶ディスプレイを実現している。しかし、ポリシリコン薄膜トランジスタは、通常、プロセス温度が高温であるため、ガラス基板を使用することができず石英基板が使用されている。石英基板はガラス基板に比べ高価であり、また大面積化が困難である。したがって、ポリシリコン薄膜トランジスタの当面の目標はガラス基板の使用可能な温度（～600℃）で安定した特性の得られるプロセスを開発することにある。

## 【0004】

【発明が解決しようとする課題】 前記のようにポリシリコン薄膜トランジスタを用いた場合、駆動回路一体型液晶ディスプレイを実現できることが最大の利点である。しかし、ポリシリコン薄膜トランジスタのオフ電流は非晶質シリコン薄膜トランジスタに比べ高いことから、絵素毎に設けるトランジスタとしては決して適しているとはいえない。

【0005】 ポリシリコン薄膜トランジスタのオフ電流の低減方法としてはデュアルゲート構造、ポリシリコンの薄膜化、LDD (Lightly Doped Drain) 構造が考えられているがいずれも一長一短がある。デュアルゲート構造は2個以上のトランジスタを並列に接続し、ゲート電極を共通にする方法であり、トランジスタをオフしたときのドレイン電界を緩和することによってオフ電流を減少させる。しかし、限られたスペースに2個以上のトランジスタを形成することは、絵素の開口率の低下につながってしまい、望ましくない。

【0006】 ポリシリコンの薄膜化は非常に簡便な方法であり薄膜化によりソース、ドレイン間の抵抗を高くすることでオフ電流の低減を図る。しかし、期待されるほどの低減効果は得られていない。LDD (Lightly Doped Drain) 構造は、例えば、ソース・ドレインが $n^+$ 層の場合、チャンネルとソースとの間、およびチャンネルとドレインとの間に $n^-$ 層を設けている。これは、図13に示すように、通常、ポリシリコン膜22上にゲート電極23を形成したのち、ゲート電極23をマスクとして低濃度イオンを注入して $n^-$ 層24を形成する（図13

(a)）。次にゲート電極23の側壁にサイドウォール絶縁体25を形成した後、再度イオン注入し、 $n^+$ 層26を形成する（図13 (b)）ことで実現される。

【0007】 また、別の方法として図14に示すように、ゲート電極33をマスクとして、斜め回転イオン注入により $n^-$ 層34を形成した（図14 (a)）後、通常のイオン注入法にて $n^+$ 層35を形成する（図14 (b)）。この方法では $n^-$ 層34が深くチャンネル領域に入り込み、ゲートと大きく重なりを有する構造となることから、ゲートオーバーラップLDD構造と呼ばれている。

【0008】 どちらの構造においてもドレイン電界を緩和させ耐圧の向上を図ることでオフ電流を減少させる事ができるが、図13のLDD構造ではゲートに電圧を印加していったときソース $n^-$ 層の寄生抵抗により電流駆動能力が低下してしまう。一方、図14のゲートオーバーラップLDD構造においては $n^-$ 層がゲート電極の下に存在することにより、電流駆動能力を損なうことがない。しかし、いずれの方法にしても、イオン注入を2回行う必要があることや、サイドウォール絶縁体の形成あるいは斜め回転イオン注入など製造工程が複雑になるという課題があった。

【0009】 次に、ガラス基体の使用可能な低温プロセ

スのポリシリコン薄膜トランジスタの問題点について触れる。薄膜トランジスタは、一般に電界効果トランジスタであるために、その特性はゲート絶縁層とチャネルとなる多結晶Si膜との界面状態に非常に大きく影響される。このため、従来の高温プロセスでは熱酸化法により、ゲート絶縁層とチャネルの界面とをチャネル層内部に作り込み、界面状態を良好に保っている。これに対し、低温プロセスでは、ゲート絶縁層も低温で形成する必要があるため、上記の熱酸化法は使えない。そのため、多結晶Si膜を所定の形状に加工した後、弗酸等を用いて表面の清浄化処理を行い、その後スパッタ、あるいは、CVD法等を用いてゲート絶縁膜を形成する方法が採られているが、界面準位密度の十分な低減には至っていない。

【0010】そこで、多結晶Si膜を成膜した後、大気にさらさずゲート絶縁膜を連続して成膜する方法が検討されているが、この方法においては、ゲート絶縁膜および多結晶Si膜を所定の形状に加工したときに、多結晶Si膜側面が露出してしまう。そして、その後ゲート電極を形成した際にゲート電極と露出した多結晶Si膜との側壁が接し、リーク電流が増大することになるという問題があった。したがって、ポリシリコンの側壁を絶縁体で保護する必要があるが、ポリシリコンの側壁を保護する絶縁体とゲート絶縁膜とが選択的にエッチングすることが必要条件となるため、ゲート絶縁膜、及び側壁保護のための絶縁体材料が限定されてしまうという問題があった。

【0011】この発明は上記のような問題点に鑑みてなされたもので、ガラス基板の使用可能な低温プロセスにおいても理想的な製造方法であるとともに、オフ電流を低減するための最良の方法であるゲートオーバーラップLDD構造を比較的容易に実現することができる薄膜トランジスタ及びその製造方法を提供することを目的としている。

【0012】

【課題を解決するための手段】上記の目的を達成するため、この発明によれば、絶縁性基板上にトランジスタの活性層となるポリシリコン層、ゲート絶縁膜及びゲート電極が順次形成された薄膜トランジスタであって、前記ゲート電極が上層ゲート電極及び下層ゲート電極の2層構造からなり、かつ前記上層ゲート電極の電極幅と前記下層ゲート電極の電極幅とが同一幅でない薄膜トランジスタが提供される。

【0013】また別の観点から、(i) 絶縁性基板上にポリシリコン層、ゲート絶縁膜及び下層ゲート電極を順次連続して成膜して積層膜を形成する工程、(ii) 前記積層膜を島状パターンに加工した後、前記島状パターンの側壁に絶縁体を形成する工程、(iii) 前記下層ゲート電極のみを所定の形状に加工し、さらに、前記下層ゲート電極上に上層ゲート電極を成膜する工程、(iv) 前記上層ゲ

ート電極を所定の形状に加工する工程、(v) 前記下層ゲート電極及び前記上層ゲート電極をマスクにして不純物イオンを前記ポリシリコン層に注入して、不純物拡散領域を形成する工程を含む薄膜トランジスタの製造方法が提供される。

【0014】この発明における絶縁性基板とは、通常薄膜トランジスタに用いられる基板であれば特に限定されるものではなく、ガラス基板、石英基板等を用いることができる。そして、この絶縁性基板上に直接、あるいは基板からの不純物の拡散を防止するために窒化膜等の絶縁膜を500～3000Å程度積層した上に、薄膜トランジスタの活性層となるポリシリコン膜を形成する。このポリシリコンは、公知の方法、例えば、CVD法により、400～600℃でシランガス等を用いて非晶質のシリコン膜を形成したのち、真空中あるいは不活性ガス雰囲気中で、500～600℃、数時間アニールを行うことにより形成することができる。また、石英基板等を使った高温プロセスにおいても同様に行うことができる。この際のポリシリコンの膜厚は500～1500Å程度が好ましい。また、ゲート絶縁膜として形成される膜は、トランジスタ特性に悪影響を及ぼさない範囲で種々選択することができるが、SiO<sub>2</sub>膜が好ましい。SiO<sub>2</sub>膜は公知の方法、例えば、CVD法により形成することができる。この際のSiO<sub>2</sub>膜の膜厚は500～1500Å程度が好ましい。なお、絶縁性基板上に非晶質シリコンを形成する工程からゲート絶縁膜を成膜するまでの工程は、外気に曝されることなく、真空中あるいは不活性ガス雰囲気中に保持して行うことが好ましい。

【0015】また、この発明における薄膜トランジスタのゲート電極は下層及び上層の2層構造からなっており、上層ゲート電極と下層ゲート電極との電極幅は同一幅を有していない。つまり、上層ゲート電極が下層ゲート電極より大きな電極幅を有しているか、あるいは下層ゲート電極が上層ゲート電極より大きな電極幅を有しているものである。しかし、下層ゲート電極の電極幅が上層ゲート電極の電極幅より大きい場合には、上層ゲート電極を加工する際、下層ゲート電極の一部が露出することとなるので、エッチング時間を精度よく管理しないと下層ゲート電極をエッチングしてしまうという問題が生じるが、下層ゲート電極の方が上層ゲート電極の電極幅より小さい場合には上記のような問題が防止されるという点から、上層ゲート電極が下層ゲート電極より大きな電極幅を有している方が好ましい。なお、これらゲート電極の電極幅は作製する薄膜トランジスタの大きさに依存しており、特に限定されるものではない。また、下層ゲート電極及び上層ゲート電極は、それぞれ各種メタルあるいはポリシリコン膜等、トランジスタ特性に悪影響を及ぼさない範囲で種々選択することができるが、ポリシリコンの場合はソース・ドレイン形成のイオン注入時に同時にイオン注入することによってゲート電極とす

ることが出来る。ポリシリコンは、公知の方法、例えば、シランガスを用いたCVD法で形成することができる。

【0016】この発明においては、絶縁性基板上にポリシリコン層、ゲート絶縁膜及び下層ゲート電極を順次形成したのち、同一のレジストパターンを用いて、これら3層構造を同時にエッチングして島状のパターンに形成する。この場合のエッチングは公知の方法により、それぞれエッチングすることができるが、各層のエッチング後の断面形状が基板に対して垂直になるように、異方性エッチングによりパターンニングすることが好ましい。また、これらパターンニングされた3層構造の側壁には絶縁体のサイドウォールが形成されている。このサイドウォールは、公知の絶縁膜、例えば、 $\text{SiO}_2$ 膜を3000～8000Å程度積層し、異方性エッチングによるような、公知の方法により形成することができる。

【0017】また、この発明においては、下層ゲート電極のみを所定の形状に加工し、さらに下層ゲート電極上に上層ゲート電極を成膜、加工した後、下層及び上層ゲート電極をマスクにして不純物イオンをポリシリコン層に注入して、不純物拡散領域を形成する。

【0018】

【作用】上記のような構造及び方法においては、ゲート電極が上層ゲート電極及び下層ゲート電極の2層構造からなり、かつ上層ゲート電極の電極幅と下層ゲート電極の電極幅とが同一幅でないので、上層及び下層ゲート電極をマスクに不純物イオンを注入することで、ゲートオーバーラップLDD構造が容易に形成される。

【0019】また、トランジスタの活性層となるポリシリコン層、ゲート絶縁膜及び下層ゲート電極を順次連続して成膜するので、ポリシリコン層とゲート絶縁膜との界面が常に安定で良好な状態が保たれる。さらに、ポリシリコン層、ゲート絶縁膜及び下層ゲート電極の積層膜の上面が下層ゲート電極材料となっているので、パターンニングされた3層構造の積層膜の側壁に絶縁体を形成するためのエッチング加工の際、特にゲート絶縁膜との選択的なエッチングを必要とせず、容易に形成することができる。

【0020】

【実施例】この発明に係わる薄膜トランジスタの実施例を図面に基づいて説明する。

#### 実施例1

図1は薄膜トランジスタの一実施例を示しており、

(a)は平面図、(b)はA-A線断面図、(c)はB-B線断面図である。この薄膜トランジスタは、ガラス基板1上に $\text{SiN}$ 膜2、ポリシリコン層3及び $\text{SiO}_2$ 膜4が順次積層されて構成されており、 $\text{SiO}_2$ 膜4上に下層ゲート電極5が形成されており、下層ゲート電極5上に下層ゲート電極5幅よりも小さい幅を有する上層ゲート電極7が形成されている。そして、チャンネル部と

なるポリシリコン層3には自己整合的にLDD構造を有する不純物拡散領域10が形成されており、不純物拡散領域10にメタル電極配線9が接続されて、薄膜トランジスタが形成されている。

【0021】以下に、上記の薄膜トランジスタの製造方法を図面に基づいて説明する。まず、図2に示したように、ガラス基板1上にガラスからの不純物の拡散を防ぐために $\text{SiN}$ 膜2を約3000Å堆積させた後、その上にプラズマCVD装置にて非晶質シリコン膜を成膜する。成膜条件は基板温度400～600℃で $\text{H}_2$ 希釈された $\text{SiH}_4$ ガスを熱とプラズマとで分解し、約1000Å堆積させる。次に非晶質シリコン膜を多結晶化するため、真空中にて約600℃で1時間のアニールを行い、ポリシリコン膜3とする。続いて、減圧CVD装置にてゲート絶縁膜となる $\text{SiO}_2$ 膜4を約1000Å成膜する。以上の非晶質シリコン膜の成膜からゲート絶縁膜の成膜までの工程において、プラズマCVD装置からアニール炉、及びアニール炉から減圧CVD装置へのガラス基板1の移動は真空中で保持されたロードロック室を介して行っている。次に、減圧CVD装置にて下層ゲート電極5となるポリシリコン膜を約1500Å成膜する。

【0022】次いで、図3に示したように、窒化シリコン膜2上のポリシリコン層3、 $\text{SiO}_2$ 膜4及び下層ゲート電極5の3層の膜を同一のレジストパターンでエッチングし、島状パターンに加工する。各層のエッチングは反応性イオンエッチャーを用い、エッチングした後の断面形状がガラス基板1に対し垂直となるように異方性エッチングを行っている。尚、ポリシリコン層3のエッチングには $\text{SF}_6$ と $\text{CCl}_4$ との混合ガスを、 $\text{SiO}_2$ 膜4のエッチングには $\text{CHF}_3$ をそれぞれエッチングガスとして用いた。

【0023】次に、図4に示したように、ガラス基板1全面にスパッタ装置にて $\text{SiO}_2$ 膜6を約5000Å成膜する。その後、反応性イオンエッチャーにて $\text{CHF}_3$ を反応性ガスとして用い、図5に示したように、 $\text{SiO}_2$ 膜6が島状パターンの側壁のみに残存するように異方性エッチングを行う。エッチングの終点はエッチングが進行し、窒化シリコン膜2が露出したことをプラズマ分析により知ることによって検知が可能である。

【0024】その後、図6に示したように、下層ゲート電極5を反応性イオンエッチャーにて、所定の形状に加工する。この際、下層ゲート電極5の電極幅(図6

(b)中、トランジスタ長:L)を5μmとした。その後、図7に示したように、下層ゲート電極5を含むガラス基板1全面に、減圧CVD装置にて上層ゲート電極7となるポリシリコン膜を約1500Å成膜する。

【0025】次いで、図8に示したように、下層ゲート電極5の電極幅の中心線を同一として、上層ゲート電極7の電極幅(図8(b)中、トランジスタ長:M)を3

$\mu\text{m}$ に加工する。次に、図9に示したように、プラズマイオンドーピング装置にて水素ガスで希釈された $\text{PH}_3$ ガスを用いてプラズマを形成し、P（リン）イオンを注入して、ゲート電極6に高濃度領域を形成するとともに、ポリシリコン膜にLDD構造を有する不純物拡散領域10を形成する。

【0026】その後、図10に示したように、層間絶縁膜となる $\text{SiO}_2$ 膜11を約5000Å成膜し、不純物拡散領域10となる部分にコンタクトホールを形成した後、メタル配線9を形成してN型の薄膜トランジスタを作製する。このように作製した薄膜トランジスタのPイオンの濃度分布を図11に示す。図11に示したように、直上にゲート電極6の存在しない不純物拡散領域10となる部分のポリシリコン層3には、充分な濃度のPイオンが注入されて、 $n^+$ 領域となっている。一方、下層ゲート電極5のみが直上に存在するポリシリコン層3には高濃度の不純物拡散領域10に比べ、約2桁少ない量のPイオンが注入されて、 $n^-$ 領域となっている。また、上層ゲート電極7及び下層ゲート電極5の両方が直上に存在するポリシリコン層3にはほとんどPイオンは到達していなかった。

【0027】従って、この薄膜トランジスタは上層ゲート電極7及び下層ゲート電極5の電極幅を同一の3 $\mu\text{m}$ とした場合の薄膜トランジスタと比較して、オフ電流が約2桁低減できた。また、オン時のドレイン電流の駆動能力は同程度であった。

#### 実施例2

実施例1と同様の方法により、活性層となるポリシリコン層3、ゲート絶縁膜である $\text{SiO}_2$ 膜4及び下層ゲート電極15となるポリシリコン膜の3層膜を島状パターンに加工し、その島状パターンの側壁に $\text{SiO}_2$ 膜6の絶縁体を形成する。実施例2においては下層ゲート電極15の電極幅(L)を3 $\mu\text{m}$ に加工した後、上層ゲート電極17となるポリシリコン膜を成膜し、下層ゲート電極15の電極幅の中心線を同一にして、上層ゲート電極17の電極幅(M)を5 $\mu\text{m}$ に加工する。そして、実施例1と同様の方法で図12に示す、薄膜トランジスタを作製した。

【0028】このように作製された薄膜トランジスタのオフ電流も実施例1と同等の約2桁の低減効果が認められた。以上の実施例1、及び2のように上層ゲート電極と下層ゲート電極のそれぞれの電極幅を異ならせた形状としたうえで、イオン注入を施すことによりゲートオーバーラップLDDが実現されるため、オン電流の駆動能力を損なうことなくオフ電流の低減を図ることができた。

#### 【0029】

【発明の効果】上記のようにこの発明の薄膜トランジスタ及びその製造方法においては、ゲート電極が上層ゲート電極及び下層ゲート電極の2層構造からなり、かつ上

層ゲート電極の電極幅と下層ゲート電極の電極幅とが同一幅でないで、上層及び下層ゲート電極をマスクに不純物イオンを1回注入することで、ゲートオーバーラップLDD構造を容易に形成することができる。従って、イオン電流の駆動能力を損なうことなく、オフ電流の低減化を実現することができた。

【0030】また、トランジスタの活性層となるポリシリコン層、ゲート絶縁膜、及び下層ゲート電極を順次連続して成膜するので、ポリシリコン層とゲート絶縁膜との界面を常に安定に良好な状態で、薄膜トランジスタを製造することができる。従って、600℃以下の低温プロセスにおいても高性能なトランジスタ特性を安定して得ることができる。

【0031】さらに、ポリシリコン層、ゲート絶縁膜及び下層ゲート電極の積層膜の上面が下層ゲート電極材料となっているので、パターニングされた3層構造の積層膜の側壁に絶縁体を形成するためのエッチング加工の際、特にゲート絶縁膜との選択的なエッチングを必要とせず、薄膜トランジスタの製造工程を簡略化することができる。

#### 【図面の簡単な説明】

【図1】この発明に係わる薄膜トランジスタの一実施例を示す要部の概略平面図、概略断面図である。

【図2】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図3】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図4】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図5】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図6】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図7】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図8】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図9】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。

【図10】実施例1の製造工程を示す要部の概略断面図であり、(a)は図1のA-A線断面図、(b)は図1のB-B線断面図である。



【図11】実施例1における薄膜トランジスタの、Pイオン注入後のPイオン濃度分布を示す図である。

【図12】この発明に係わる薄膜トランジスタの別の実施例を示す要部の概略平面図、概略断面図である。

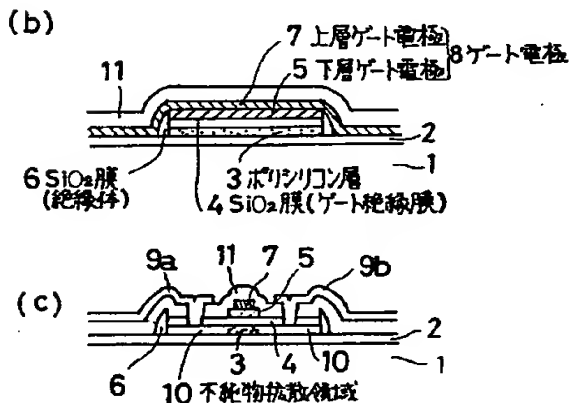
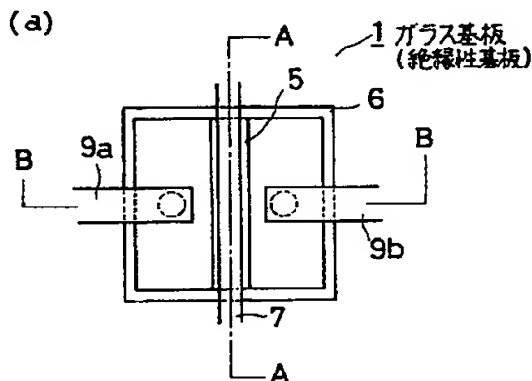
【図13】従来のLDD(Lightly Doped Drain)構造を有する薄膜トランジスタの製造方法を説明するための概略断面図である。

【図14】従来のゲートオーバーラップLDD構造を有する薄膜トランジスタの製造方法を説明するための概略断面図である。

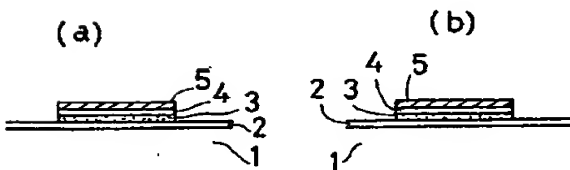
【符号の説明】

- 1 ガラス基板(絶縁性基板)
- 3 ポリシリコン層
- 4  $\text{SiO}_2$ 膜(ゲート絶縁膜)
- 5 下層ゲート電極
- 6  $\text{SiO}_2$ 膜(絶縁体)
- 7 上層ゲート電極
- 8 ゲート電極
- 10 不純物拡散領域

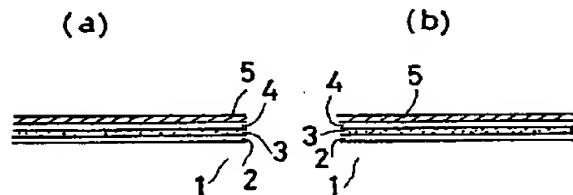
【図1】



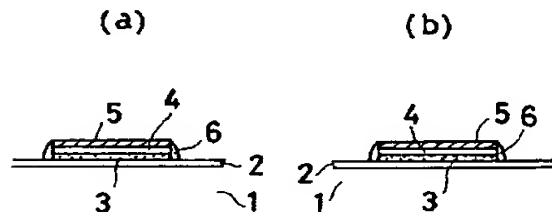
【図3】



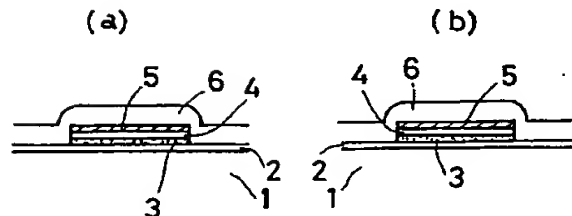
【図2】



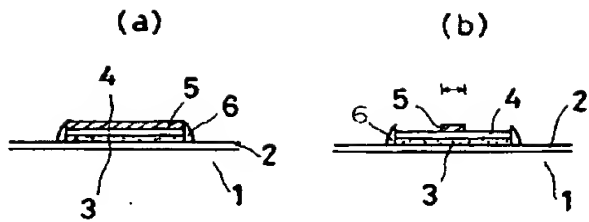
【図5】



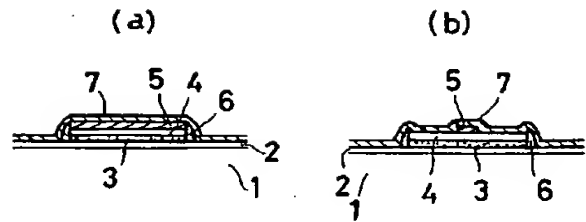
【図4】



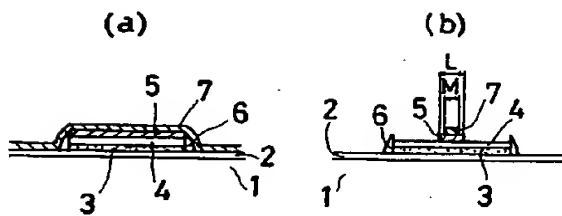
【図6】



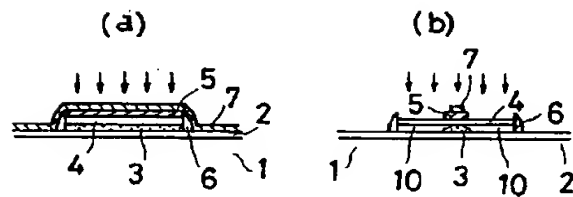
【図7】



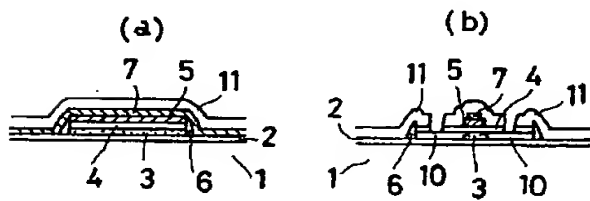
【図8】



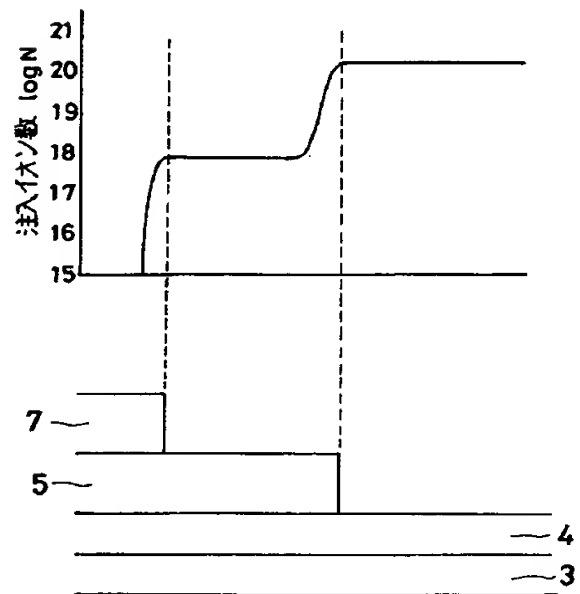
【図9】



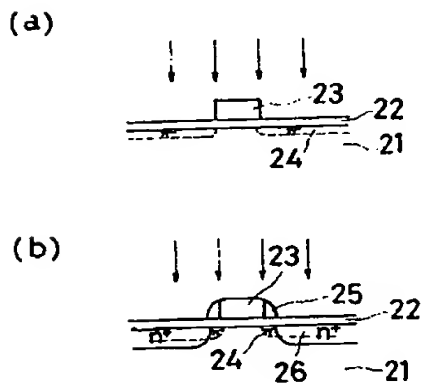
【図10】



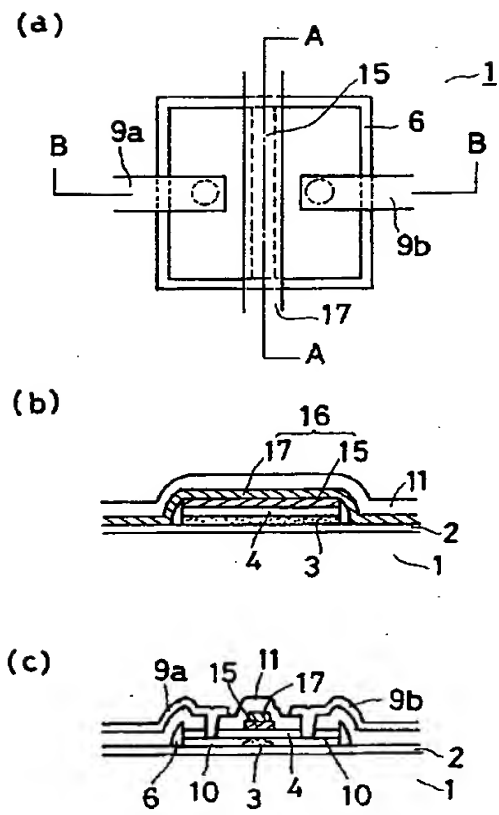
【図11】



【図13】



【図12】



【図14】

